

УСТРОЙСТВО УМНОЖЕНИЯ ДВОЙНОЙ ТОЧНОСТИ ДЛЯ ПЛИС

НИИ многопроцессорных вычислительных систем имени академика А.В. Каляева Южного федерального университета, г. Таганрог
E-mail: levin@mvs.tsure.ru

Одним из перспективных научных направлений в области вычислительной техники в настоящее время является проектирование специализированных устройств – процессоров с реконфигурируемой архитектурой на основе ПЛИС. Архитектура подобных процессоров позволяет разработчику (пользователю) создавать структуру для произвольного алгоритма. Такие структуры включают в себя несколько вычислительных блоков на одном кристалле, выполняющих определенные арифметические и логические операции [1].

Решение сложных научно-технических задач ЦОС, математической физики и других проблемных областей требует создания эффективных аппаратных реализаций арифметических устройств для обработки данных в формате с плавающей запятой в соответствии со стандартом IEEE-754.

Стандарт IEEE-754 дает наиболее общее представление для чисел с плавающей запятой в современных компьютерах, включая Intel PC, Macintosh и большинство Unix платформ.

В стандарте IEEE-754 имеются два формата представления чисел с плавающей запятой:

- формат одинарной точности представлен 32 битами – 1 бит для знака, 8 бит – для порядка, 23 бита – для мантиссы;
- формат двойной точности представлен 64 битами – 1 бит для знака, 11 бит – для порядка, 52 бита – для мантиссы.

При разработке арифметических устройств с двойной точностью на ПЛИС возникает проблема передачи 64-разрядных операндов из-за ограниченного количества пользовательских выводов у ПЛИС. Использование пространственной коммутации требует квадратичного роста числа выводов у ПЛИС от разрядности операндов. Поэтому построение эффективной коммутационной структуры вычислительной системы, обрабатывающей данные с двойной точностью в пределах одного такта, проблематично.

В этой связи представляется возможным параллельно-последовательный прием и обработка данных в системе. При этом данные в вычислительную структуру поступают за два такта, однако при такой организации вычислений из-за простоя оборудования в два раза снижается удельная производительность системы.

Целью данной разработки является минимизация аппаратных затрат при реализации умножения с плавающей запятой двойной разрядности за счет организации конвейерной обработки данных в вычислительном устройстве.

Структурная схема блока умножения с плавающей запятой представлена на рисунке 1 и состоит из трех модулей: модуля контроля входных операндов (КВО), функционального модуля (МФ) и модуля формирования результата (МФР).

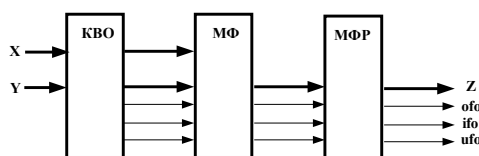


Рисунок 1 - Структурная схема блока умножения с плавающей запятой

Модуль КВО анализирует и преобразует входные данные в соответствии со стандартом IEEE-754, МФ выполняет операцию с плавающей запятой и формирует признаки переполнения порядка, МФР осуществляет согласование формата данных результата в соответствии со стандартом IEEE-754.

Структурная схема МФ умножителя с плавающей запятой представлена на рисунке 2.

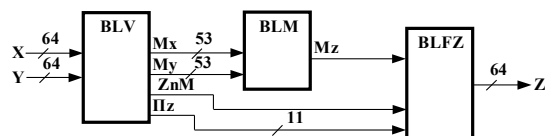


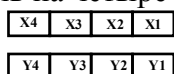
Рисунок 2 - Структурная схема МФ умножителя с плавающей запятой

Блок BLV формирует 53-разрядные мантиссы обоих сомножителей, восстанавливая скрытый старший разряд мантисс, формирует порядок результата путем суммирования порядков обоих сомножителей, определяет знак результата и признаки переполнения порядка.

Блок BLM выполняет операцию умножения мантисс.

Блок BLFZ выполняет нормализацию и округление мантиссы результата и коррекцию порядка, а, кроме того, выполняет проверку результата на положительное переполнение порядка в результате коррекции порядка.

При реализации BLM для сокращения аппаратных затрат необходимо использовать встроенные блоки DSP ПЛИС. Однако доступная пользователю разрядность множителей в блоке DSP ограничена 18 разрядами. Поэтому для умножения 53-разрядных чисел необходимо разбивать каждый множитель на четыре части по 14 разрядов.



Тогда процесс умножения двух 53-разрядных чисел сводится к 16 умножениям двух 14-разрядных чисел с соответствующим подсуммированием частичных произведений.

В виду того, что данные поступают на вход за два такта, то выполнение операций умножения можно организовать таким образом, что каждый блок DSP будет выполнять умножение двух 14-разрядных чисел в каждом такте. В результате чего 16 умножений можно выполнить на восьми блоках DSP за два такта.

Встроенные блоки DSP помимо умножителей 18x18 содержат еще сумматоры, что дает возможность к собственным частичным произведениям умножителя подсуммировать частичные произведения, поступающие из других умножителей.

В результате для умножения двух 53-разрядных чисел требуется всего лишь восемь блоков DSP.

Данная схема была реализована на ПЛИС фирмы Xilinx серии Virtex-IV и обеспечила тактовую частоту 250 МГц.

Моделирование данного устройства умножения на ПЛИС серии Virtex-V показало возможность достигнуть тактовой частоты 400 МГц.

Синтезированный блок умножения с плавающей запятой, совместимый со стандартом IEEE-754, может использоваться в качестве библиотечного элемента при разработке сложных вычислительных устройств.

В дальнейших разработках предполагается в одном функциональном устройстве выполнять операцию умножения с числами как в формате двойной, так и одинарной точности.

Таким образом, предлагаемая реализация устройства умножения позволяет избежать простоя оборудования при обработке 64-разрядных данных, что ведет к повышению удельной производительности реконфигурируемых вычислительных устройств, построенных на основе ПЛИС-технологии.

1. Каляев А.В., Левин И.И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. – М.: ООО “Янус-К”, 2003. – 380 с.