

СЕМЕЙСТВО МНОГОПРОЦЕССОРНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ С ДИНАМИЧЕСКИ ПЕРЕСТРАИВАЕМОЙ АРХИТЕКТУРОЙ

И.А. Каляев, И.И. Левин

В статье рассматриваются вопросы создания многопроцессорных вычислительных систем (МВС), в которых в качестве основного вычислительного элемента используются не универсальные микропроцессоры, а программируемые логические интегральные схемы (ПЛИС). Структурно-процедурные принципы организации вычислительного процесса в таких МВС позволяют довести их реальную производительность до 60% от пиковой производительности на широком классе задач и добиться линейного роста производительности при наращивании аппаратного ресурса.

Для решения важнейших научно-технических задач необходимо непрерывно увеличивать производительность вычислительных комплексов.

Производительность однопроцессорных компьютеров практически достигла предела. Достигнув два года назад тактовой частоты микропроцессоров 3,5 ГГц, ведущие производители остановились на данном уровне. Возможности дальнейшего роста производительности с помощью уменьшения технологических норм оказались практически исчерпанными. Кроме того, при увеличении плотно-

сти размещения транзисторов на кристалле значительно возрастает сложность процессоров, поэтому прирост производительности не пропорционален затрачиваемым аппаратным ресурсам и энергии. Не помогает дальнейшее наращивание объемов кэш-памяти микропроцессоров, а также числа одновременного выполнения команд.

Заявленные производителями пиковые характеристики процессоров практически не достижимы без низкоуровневого программирования. Большинство вычислительных задач выполняется на массовых микропроцессорах с эффективностью не более 10÷20% [1]. Если десять лет назад компьютерному сообществу казалось, что вычислительная техника может неограниченно развиваться, совершенствуя микропроцессорные схемотехнические и технологические решения, то сейчас ясно, что без координатной перестройки архитектуры вычислительной техники сохранить темп роста производительности невозможно.

Одним из способов повышения производительности вычислительных систем является распараллеливание вычислительных процессов. В настоящее время многопроцессорные вычислительные системы (МВС) используются в различных областях науки и техники, а также в промышленности и экономике. В то же время реальная производительность многопроцессорных вычислительных систем, которые ориентированы на традиционные методы организации параллельных вычислений и представляют собой механистически соединенные традиционные микропроцессоры, зачастую не превышает 10÷15% от заявляемой пиковой производительности вследствие необходимости реализации множества процедур межпроцессорного обмена, а также синхронизации последовательных процессов, выполняемых в процессорах системы [2]. Более того, для задач, требующих интенсивных, но нерегулярных межпроцессорных обменов и обращений к систе-

ме распределенной памяти, реальная производительность МВС снижается до 1%.

Основная причина – это несоответствие между «жесткой» архитектурой МВС и информационной структурой широкого класса решаемых задач, из-за чего существующие суперкомпьютеры и работают столь неэффективно.

Данный недостаток позволяет устранить способ построения МВС с «гибкой», динамически перестраиваемой (программируемой) архитектурой, подстраиваемой под информационную структуру каждой конкретной задачи, решаемой в текущий момент времени на таком компьютере [3,4].

Практическое внедрение данной концепции сдерживалось отсутствием необходимой для ее реализации реконфигурируемой элементной базы. В последние годы такая элементная база на рынке появилась - это программируемые логические интегральные схемы (ПЛИС) высокой степени интеграции. На основе ПЛИС возможно без привлечения больших финансовых затрат создавать МВС с программируемой архитектурой, существенно опережающие зарубежные аналоги по таким характеристикам как соотношение «реальная производительность/пиковая производительность» (эффективность) и «реальная производительность/объем» (компактность).

По этому пути уже идут ведущие мировые производители: компания Cray предлагает снабдить процессоры Opteron на двухпроцессорной платформе помощником в виде дополнительного модуля на базе ПЛИС Virtex 4 (DRC Coprocessor Module), включаемого во второй сокет Opteron-процессора. На DRC Coprocessor Module возлагается решение трудоемких для универсального процессора задач. Структура ПЛИС DRC Coprocessor Module при этом перестраивается под конкретную решаемую задачу.

В то же время западные производители используют ПЛИС, как правило, только в качестве сопроцессоров к

стандартным вычислительным узлам – универсальным микропроцессорам. Концепция же построения МВС с программируемой архитектурой предполагает использовать ПЛИС в качестве базы для создания динамически реконфигурируемых вычислительных систем (РВС), адаптируемых под структуру решаемой задачи. В качестве основного вычислительного элемента в РВС используются вычислительные структуры, созданные в поле логических блоков ПЛИС, в то время как небольшое количество универсальных микропроцессоров выполняют вспомогательные функции: загрузку конфигураций ПЛИС, тестирование, распределение вычислительной нагрузки, загрузку исходных данных, визуализацию результатов и т.п.

Теоретические положения данной концепции уже подтверждены созданием в НИИ многопроцессорных вычислительных систем имени академика А.В. Каляева Южного федерального университета (НИИ МВС ЮФУ) целого ряда экспериментальных образцов РВС различных конфигураций на базе ПЛИС - от малогабаритных одноплатных устройств до систем, содержащих тысячи процессоров. В частности, в рамках ФЦНТП «Исследования и разработки по приоритетным направлениям науки и техники» на 2002-2006 годы была создана модульно-наращиваемая РВС с производительностью 200 Гфлопс в объеме всего 40 дм³. Данная система показала исключительно высокую реальную производительность на широком классе задач линейной алгебры, цифровой обработки сигналов, математической физики, символьной обработки, криптографии и других, работая с эффективностью не менее 60%.

Общий вид базового модуля и модульно-наращиваемой РВС показан на рисунке 1.

Результаты теоретических и прикладных исследований позволяют сделать вывод об эффективности использования концепции динамической перестройки архитекту-

ры системы для создания целого семейства высокопроизводительных модульно-наращиваемых многопроцессорных суперкомпьютеров широкого применения на основе ПЛИС-технологий (от суперЭВМ и рабочих станций до ускорителей персональных компьютеров), значительно опережающих по своим техническим характеристикам зарубежные аналоги, и в то же время отличающихся существенно более низкой стоимостью и сохранением преемственности методов и средств программирования.



Базовый модуль 16M50

Характеристики базового модуля

| | |
|---------------------------------------------------------|------------|
| Число ПЛИС Virtex IV, шт. | 16 |
| Объем памяти, ГБайт | 1 |
| Производительность, Гфлопс | 50 |
| Рабочая частота, МГц | 160 |
| Количество каналов LVDS, шт. | 112 |
| Суммарная пропускная способность LVDS каналов, Мбит/сек | 22400 |
| Потребляемая мощность, КВт | 0,16 |
| Габариты, мм | 233,35x280 |



Модульно-наращиваемая PBC

Характеристики изделия

| | |
|---------------------------------------------------|------|
| Число унифицированных вычислительных БМ, шт. | 4 |
| Число вычислительно реконфигурируемых блоков, шт. | 64 |
| Объем памяти, Гбайт | 4 |
| Производительность, ГФлопс | 200 |
| Потребляемая мощность, КВт | 0,9 |
| Объем, л | 39,9 |

Рисунок 1 - Базовый модуль 16M50 и модульно-наращиваемая PBC

В качестве прототипа реконфигурируемого ускорителя персонального компьютера может выступать изделие «Мангуст», внешний вид которого показан на рисунке 2.

В настоящее время в НИИ МВС ЮФУ выполняется госконтракт 02.524.12.4002 по теме «Создание семейства высокопроизводительных многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой на основе реконфигурируемой элементной базы и их математического обеспечения для решения вычислительно трудоемких задач в рамках ФЦП «Исследования и разработки по приоритетным направлениям развития научно-технологического комплекса России на 2007-2012 годы».



Базовый модуль
«МАНГУСТ»



Ускоритель персонального компьютера
«МАНГУСТ»

Характеристики ускорителя персонального компьютера

| | |
|----------------------------------------------------|------------|
| Число реконфигурируемых вычислительных блоков, шт. | 4 |
| Число эквивалентных вентиляей, шт. млн. | 32 |
| Объем динамической памяти, Мбайт | 576 |
| Производительность, Гфлопс | 25 |
| Частота базового модуля, МГц | 160 |
| Скорость обмена данными по каналу Ethernet | 1 Гбит/с |
| Потребляемая мощность, КВт | 0,145 |
| Габариты, мм | 300x263x55 |

Рисунок 2 - Базовый модуль «МАНГУСТ»
и укоритель персонального компьютера «МАНГУСТ»

В рамках госконтракта будет создано семейство РВС: высокопроизводительные системы отраслевого уровня

производительностью 5 Тфлопс (PBC-5), уровня крупных организаций или научных центров производительностью 1 Тфлопс (PBC-1), рабочая станция уровня средних организаций производительностью 200 ГФлопс (PBC-0.2), а также ускорители для персональных компьютеров производительностью 50 и 25 ГФлопс (РУПК-50 и РУПК-25). Структура семейства PBC показана на рисунке 3.

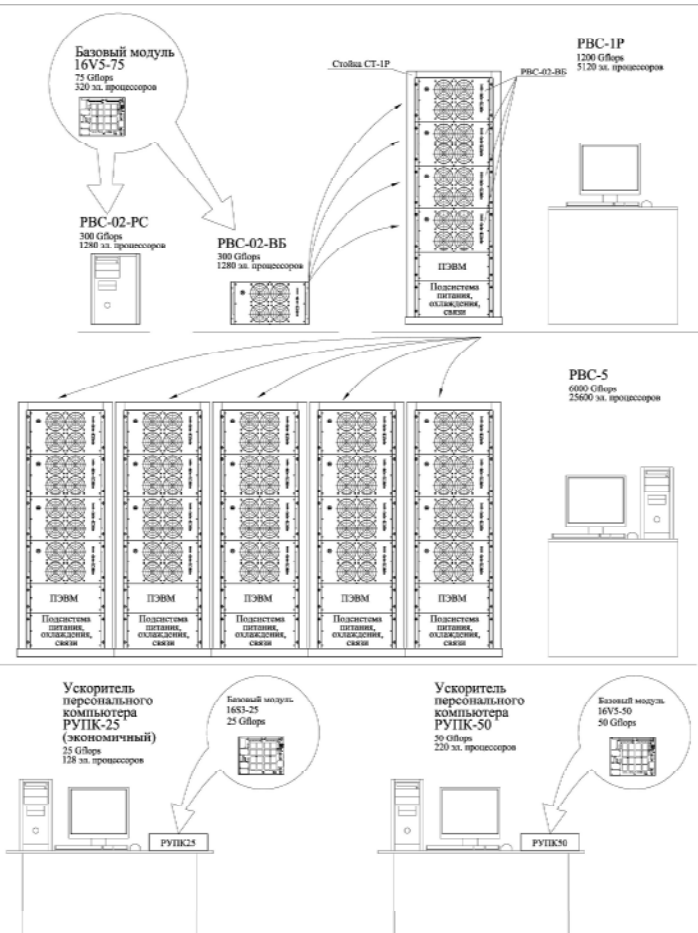


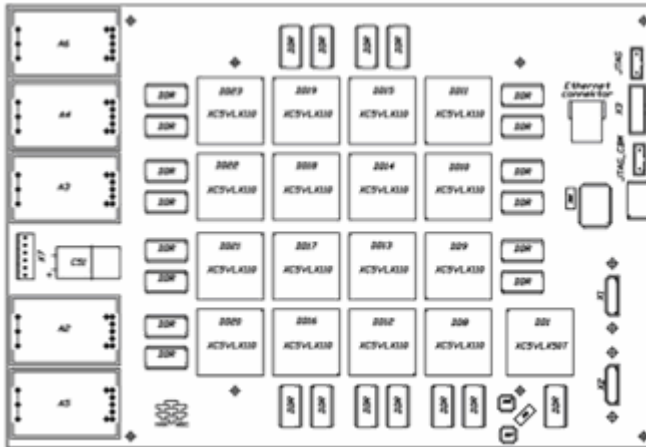
Рисунок 3 - Структура семейства PBC

В НИИ МВС ЮФУ имеется большой научно-технический задел для построения систем подобного класса, что позволит создать конкурентоспособный продукт на мировом рынке.

Целесообразность проекта также обусловлена экономической выгодностью разработки данных технологий в Российской Федерации по сравнению с приобретением отдельных компонентов за рубежом, поскольку стоимость лицензий на их использование может составлять от нескольких сот тысяч до десятков миллионов долларов.

Реальная производительность системы PBC-5 будет в несколько раз превосходить производительность наиболее мощной суперЭВМ, находящейся в настоящее время на территории России, и при этом будет обладать существенно меньшими габаритами, энергопотреблением и стоимостью. В рамках проекта будет создана конструкторская документация для серийного производства семейства многопроцессорных реконфигурируемых вычислителей с динамически перестраиваемой архитектурой, а также их программное обеспечение для решения вычислительно трудоемких задач. Эскиз базового модуля 16V5-75 старших моделей PBC показан на рисунке 4.

Системы с высокой реальной производительностью позволят решить важнейшие научно-технические задачи и обеспечить прорывы в таких наукоемких технологических областях как молекулярная фармакология, нанoeлектроника, создание энергетических комплексов нового поколения, а также проведение фундаментальных научных исследований в астрофизике, микробиологии, физике твердого тела, нейроматематике, томографического исследования приповерхностных слоев Земли и т.д.



Самая сложная плата в Европе

- 256 элементарных процессоров (IEEE-754)
- тактовая частота 330 МГц
- обработка 64-разрядных данных с плавающей запятой
- производительность 85 ГФлопс
- частота обмена между ПЛИС до 1,2 ГГц (LVDS)
- потребляемый ток до 200 А
- печатная плата 20 слоев
- класс точности 5+
- внешние интерфейсы LVDS, Gigabit Ethernet

Срок создания – декабрь 2007 года

Рисунок 4 - Эскиз базового модуля 16V5-75 старших моделей PBC

Семейство высокопроизводительных многопроцессорных вычислительных систем с динамически перестраиваемой (программируемой) архитектурой на основе реконфигурируемой элементной базы является конкурентоспособной альтернативой традиционной организации

многопроцессорных систем, основанных на использовании микропроцессоров в качестве основного вычислительного элемента. В выпуске подобной продукции заинтересован ряд предприятий и ведомств, но, прежде всего, это крупные научные центры.

Семейство РВС будет ориентировано на решение вычислительно трудоемких научно-технических задач в таких областях как символьная обработка информации, защита компьютерных сетей, создание принципиально новых лекарственных препаратов и материалов нового поколения, управление в реальном масштабе времени объектами ядерной энергетики, летательными и космическими аппаратами, расшифровка структуры белка, оптимизация эксплуатации нефтяных месторождений, томографических исследований приповерхностных слоев Земли акустическими и электромагнитными волнами, нейроматематика.

Создаваемое в рамках проекта системное и прикладное программное обеспечение, которое должно обеспечить потенциальным пользователям удобство программирования сложных практических задач на семействе РВС, функционально может быть разделено на три группы:

- средства разработки прикладных программ;
- средства администрирования вычислительных ресурсов семейства РВС, необходимые, главным образом, для старших представителей семейства (РВС-1 и РВС-5);
- служебные программы и драйверы.

Известно, что создание конфигурационных файлов для программирования ПЛИС является трудоемким делом и требует специальных знаний и навыков. Поэтому основной целью создания программного комплекса средств разработки прикладных программ семейства РВС является предоставление пользователю возможностей, которые позволят создавать программы без привлечения специальных знаний в области схемотехники ПЛИС, и по сложно-

сти будут приближены к обычному программированию для микропроцессоров и многопроцессорных ЭВМ. Основными задачами программного комплекса средств разработки является эффективная реализация вычислительно трудоемких фрагментов задач различных проблемных областей на произвольном количестве взаимосвязанных кристаллов ПЛИС и произвольном количестве базовых модулей СРВС, а также поддержка разработки и отладки прикладных программ на языках структурно-процедурных вычислений, в том числе с вызовом библиотечных функций настройки архитектуры системы и реализации необходимых вычислительных структур на множестве ПЛИС.

Программный комплекс средств разработки прикладных программ семейства РВС будет содержать: язык ассемблера Argus v.3.0; язык структурно-процедурного программирования высокого уровня COLAMO v.2.0; интегрированную среду разработки аппаратно-программных решений прикладных задач Argus IDE v.3.0, единую для всех представителей семейства РВС и поддерживающую языки программирования Argus v.3.0 и COLAMO v.2.0; отладчик параллельных программ на базовых модулях семейства РВС, поддерживающий межмодульные связи; программный интерфейс доступа к вычислительным ресурсам всех представителей СРВС из различных сред программирования; среду разработки вычислительных структур для синтеза масштабируемых параллельно-конвейерных процедур, оперирующую библиотекой многокристалльных схемных решений (IP-ядер).

Язык структурно-процедурного программирования высокого уровня COLAMO v.2.0 обеспечивает синтаксическую поддержку реконфигурации аппаратной платформы РВС и возможность использования элементов библиотеки масштабируемых IP-ядер. Транслятор COLAMO v.2.0 для всех представителей семейства РВС обеспечивает трансляцию исходного кода программы в язык ассемб-

лера Argus v.3.0 и в VHDL посредством среды разработки масштабируемых параллельно-конвейерных процедур, создавая тем самым конфигурационные файлы для ПЛИС.

Средства администрирования вычислительных ресурсов РВС, необходимые для обеспечения доступа и управления вычислительными ресурсами базовых модулей всех представителей семейства РВС, состоят из сервера удаленного доступа к вычислительным ресурсам, обеспечивающего обработку удаленных заявок на использование вычислительных ресурсов и поддерживающего очередь заявок с учетом приоритетов пользователей и клиентской части удаленного доступа, обеспечивающей прозрачный с точки зрения пользователя режим доступа и функционирования удаленных базовых модулей системы.

В состав служебных программ будут входить: драйвер базовых модулей для операционной системы Windows; библиотека масштабируемых параллельных решений (IP-ядер), предназначенных для реализации вычислений на множестве кристаллов ПЛИС; библиотека межблочных интерфейсов для связи отдельных IP-ядер в единую масштабируемую вычислительную структуру; средства тестирования оборудования, в том числе удаленного, включающие тестирование связей между БМ, тестирование контроллера обмена для каждого БМ изделия и средства тестирования связей между БМ изделия; средства сигнализации о нештатных и аварийных ситуациях в работе оборудования.

Одновременно с разработкой семейства реконфигурируемых вычислительных систем предполагается создание и развитие инфраструктуры для обучения потенциальных пользователей и организации доступа к библиотекам масштабируемых IP-ядер для различных предметных областей с целью их широкого продвижения на рынке высокопроизводительной вычислительной техники. За счет использования возможностей сервисов глобальной ком-

пьютерной сети Internet будет обеспечен широкий доступ потенциальных пользователей к информационным ресурсам и программным продуктам, созданным в результате выполнения проекта.

Для решения сложнейших задач, поставленных в рамках госконтракта №02.524.12.4002, и продвижения его результатов на рынке высокопроизводительной вычислительной техники создан консорциум, состоящий из научных организаций, академических структур, производственных фирм и учреждения высшего профессионального образования. В состав консорциума вошли: Южный федеральный университет, Южный научный центр РАН, специальная астрофизическая обсерватория РАН, ФГУП «НИИ «Квант»» и ООО «НИЦ суперЭВМ и нейрокомпьютеров». Такой состав участников позволит создать законченный коммерческий продукт для рынка суперЭВМ.

Практическое использование результатов проекта позволит создать семейство РВС с динамически перестраиваемой архитектурой широкого применения, превосходящих по технико-экономическим характеристикам МВС с традиционной архитектурой в сегментах рынка суперЭВМ и рабочих станций, а также ускорителей к персональному компьютеру.

Литература

1. Волков Д. «Реальность и фантазии» // Открытые системы. – 2006. - №5.
2. Аладышев О.С., Дикарев Н.И., Овсянников А.П., Телегин П.Н., Шабанов Б.М. СуперЭВМ: области применения и требования к производительности // Известия ВУЗов. Электроника, 2004. - №1. - С. 13-17.

3. Каляев А.В. Многопроцессорные вычислительные системы с программируемой архитектурой. - М.: Радио и Связь, 1984. - 240 с.

4. Каляев А.В., Левин И.И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. - М.: Янус-К, 2003. – 380 с.